

Схемотехнические решения R-S- и D-триггеров с энергонезависимой электрически перепрограммируемой памятью

И.В. Ермаков, Н.А. Шелепин

Известные решения R-S-триггера с энергонезависимой памятью

Триггер с асинхронной установкой/сбросом (R-S-триггер) является одним из важных элементов цифровых интегральных схем, имеет входы S – установки, R – сброса и выходы Q – прямой, nQ – инверсный [1]. Традиционный триггер – энергозависимый элемент, то есть теряет данные после выключения источника питания. Актуальны исследования по поиску новых схемотехнических решений R-S-триггера с энергонезависимой памятью, который бы сохранял записанные в него данные после отключения источника питания. В ряде новых решений триггеров с энергонезависимой памятью используются специальные материалы, которые отсутствуют в КМОП-технологии, например магниторезистивные элементы [2]. Несмотря на преимущества новых материалов (более быстрые операции записи/стирания, большее количество циклов перезаписи и время хранения), их внедрение требует изменения существующей КМОП-технологии.

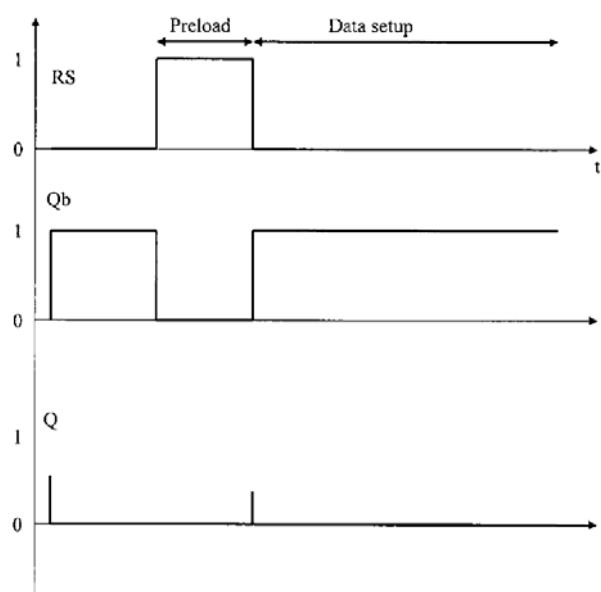
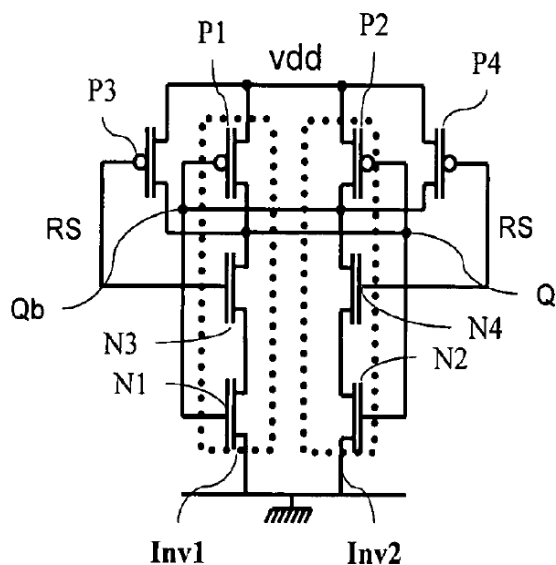


Рис. 1. – Конструкция энергонезависимого информационного триггера, описанная в патенте [3] и диаграммы его работы

Известно выполнение информационного энергонезависимого триггера, описанное в патенте [3]. Ключевые n- и p-МОП-транзисторы P1, P3, N1, N3 составляют первый логический элемент 2И-НЕ, а P2, P4, N2, N4 – второй. Выходы первого и второго элементов 2И-НЕ соответствуют прямому и инверсному информационным выходам устройства, а их перекрестные соединения с затворами вторых N2, P2 и первых N1, P1 ключевых n- и p-МОП-транзисторов связывают элементы в триггерную схему (рис.1).

При подключении напряжения питания триггер принимает логическое состояние, определяемое соотношением проводимостей открытых каналов ключевых n-МОП-транзисторов в первом и втором элементах 2И-НЕ. В данном устройстве это соотношение устанавливается при формировании физической структуры n-МОП-транзисторов или в результате каких-либо физических воздействий на транзисторные структуры, что в обоих случаях возможно только во время производства.

Это является недостатком данного устройства. Кроме того, его логические состояния нельзя менять в процессе работы.

Ячейка электрически перепрограммируемой энергонезависимой памяти (далее ЭСППЗУ), встроенная в R-S-триггер, позволяет получить устройство с качественно новыми свойствами.

В работе представлены новые схемотехнические решения R-S- и D-триггеров с ЭСППЗУ и их практическое применение.

Новые схемотехнические решения R-S-триггера с ЭСППЗУ

Вариант конструкции информационного энергонезависимого триггера показан на рис.2. Триггер состоит из первого (транзисторы 1, 2, 5, 6) и второго (транзисторы 3, 4, 7, 8) элементов 2И-НЕ с обратной связью, в каждом из которых МОП-транзистор с каналом n-типа, подключенный

стоком к выходу элемента 2И-НЕ (транзисторы 5 и 7), заменен на транзистор с плавающим затвором [4].

Устройство может функционировать в режиме обычного R-S-триггера, а также может быть в произвольный момент запрограммировано. Режим программирования включается посредством повышения напряжения питания до значения, обеспечивающего туннельные токи [5] в МОП-транзисторах 5 и 7. Запрограммированное состояние может быть получено в процессе работы триггера или при включении напряжения питания.

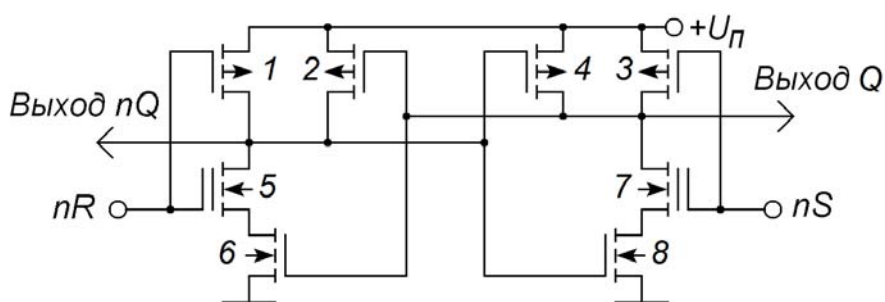


Рис. 2. – R-S-триггер в КМОП-процессе с двумя уровнями поликремния

При подключении напряжения питания триггер принимает логическое состояние, определяемое соотношением пороговых напряжений ключевых n-МОП-транзисторов 5 и 7, которое устанавливается посредством накопления и удаления положительных зарядов на их плавающих затворах.

Отличительным признаком устройства является наличие плавающих затворов у ключевых n-канальных МОП-транзисторов 5 и 7. Такие транзисторы изготавливаются в КМОП-технологии с двумя слоями поликремния.

Один из вариантов конструкции информационного энергонезависимого триггера, который совместим с обычным КМОП-процессом, показан на рис.3. Триггер состоит из первого (транзисторы 1, 2, 5, 6) и второго (транзисторы 3, 4, 7, 8) элементов 2И-НЕ с обратной связью, каждый из которых дополнительно содержит по два МОП-конденсатора 9, 10 и 11, 12 соответственно. Транзистор 6 (8) вместе с МОП-конденсаторами 9 (11), 10

(12) образуют первый (второй) элемент ЭСПЗУ, а их объединенные затворы – первый (второй) плавающий затвор, который является средой для хранения электрического заряда.

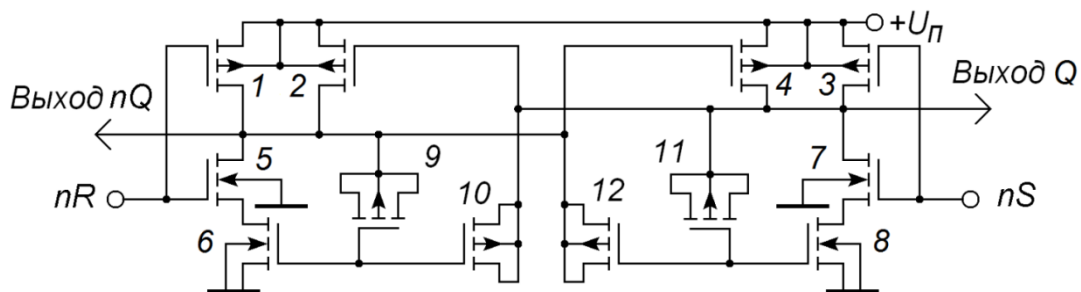


Рис. 3. – R-S-триггер в КМОП-процессе с одним уровнем поликремния

При подключении напряжения питания энергонезависимый триггер принимает логическое состояние, определяемое соотношением пороговых напряжений транзисторов 6 и 8, которое устанавливается посредством накопления или удаления отрицательных зарядов на их затворах.

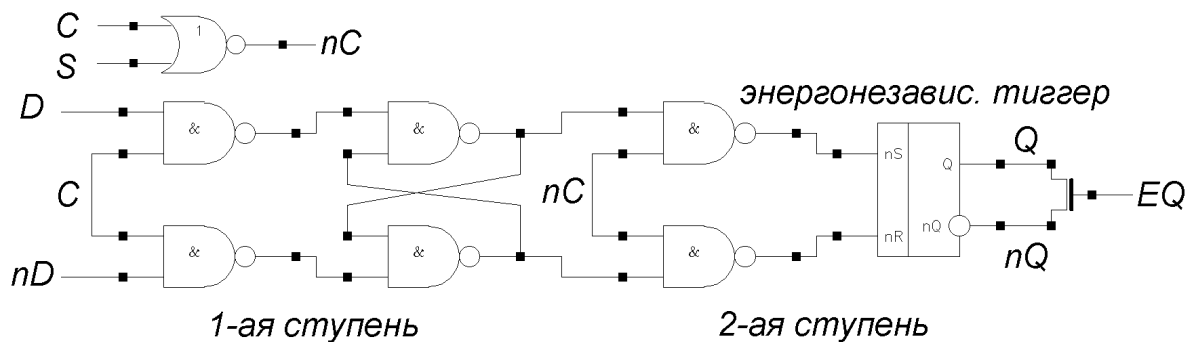
Таким образом, информационный триггер с энергонезависимо сохраняемой электрически перепрограммируемой установкой начальных состояний, принимаемых устройством при подключении напряжения питания, может быть произвольно переключен в другие состояния в процессе работы или постоянно сохранять запрограммированное начальное состояние.

Сдвиговый регистр с ЭСПЗУ

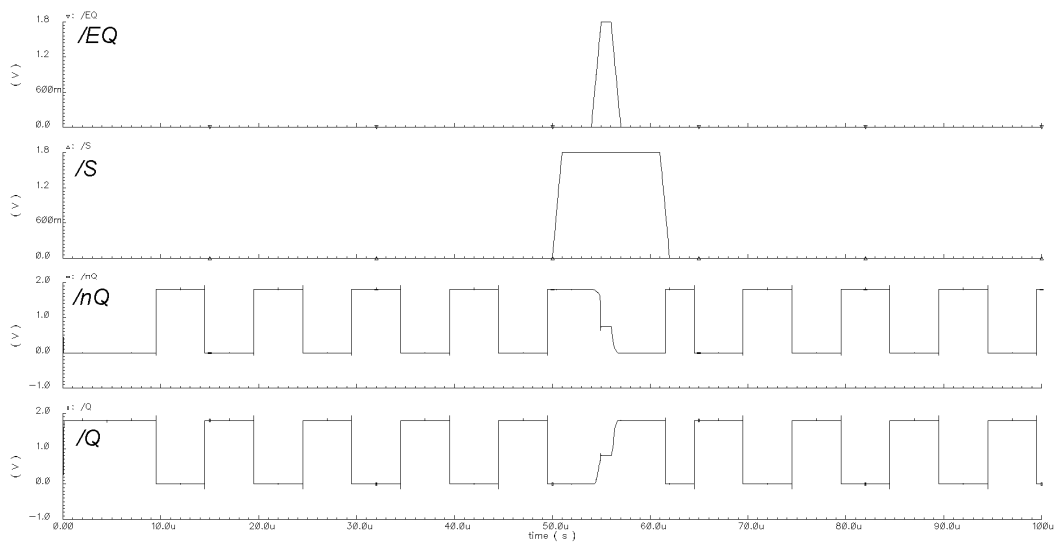
На основе одноступенчатого энергонезависимого триггера было разработано схемотехническое решение двухступенчатого энергонезависимого триггера данных (D-триггера), управляемого синхросигналом (рис.4а). Первая ведущая ступень состоит из обычного синхронного R-S-триггера на элементах 2И-НЕ, во второй ведомой ступени вместо обычного R-S-триггера используется энергонезависимый триггер на элементах 2И-НЕ (см. рис.2 или рис.3). Для установки триггера в ранее запрограммированное состояние необходимы генераторы сигналов S и EQ.

Не важно, в каком состоянии находился триггер, после подачи импульсов S и EQ триггер установится в ранее запрограммированное состояние (рис.4б).

Объединяя двухступенчатые триггеры данных последовательно, можно получить N-разрядный сдвиговый регистр с функцией энергонезависимого хранения информации (рис.5а). Для исключения потери данных в регистре во время операций сдвига, необходимо пропускать синхросигнал C1 и его инверсию nC1 через генератор неперекрывающихся импульсов (рис.5б).



а)



б)

Рис. 4. – Двухступенчатый энергонезависимый триггер данных (D-триггер), тактируемый синхросигналом, на элементах 2И-НЕ (а) и диаграммы его работы (б)

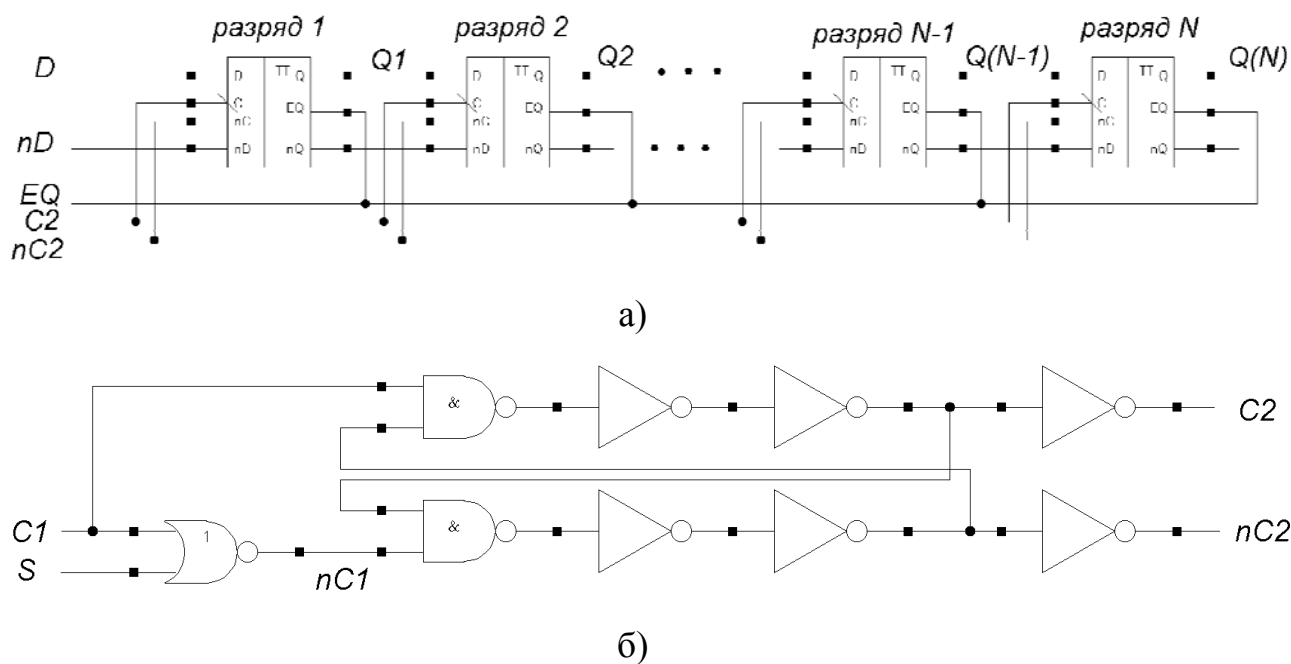


Рис. 5. – Сдвиговой энергонезависимый регистр (а) и генератор неперекрывающихся импульсов для него (б)

Однако, состояние, в которое устанавливается триггер, есть инверсия запрограммированного состояния, что не всегда является удобным. Устройство может работать как обычный информационный R-S-триггер только при определенном условии: если пороговое напряжение n-МОП-транзисторов с плавающими затворами (5 и 7 на рис.2) при наличии отрицательного заряда на их плавающих затворах будет ниже напряжения питания. В ином случае устройство будет постоянно сохранять свое начальное состояние, не реагируя на сигналы на входах nS и nR. Также для установки триггера в запрограммированное состояние необходимы генераторы сигналов S и EQ, что усложняет схемотехническое решение. Существует известное решение двухступенчатого триггера, описанное в патенте [6], которое лишено первых двух недостатков. Однако в нем также для установки в запрограммированное состояние необходимы сигналы S и EQ, что задерживает и усложняет процесс включения, особенно при восстановлении после сбоев. Удобнее, когда триггер устанавливается в

запрограммированное состояние сразу же при включении напряжения питания.

Решение, которое позволяет устранить все перечисленные выше недостатки, представлено на рис.6. Энергонезависимый одноступенчатый триггер используется здесь в качестве ячейки памяти и одновременно схемы записи и считывания для нее.

Регистр состоит из последовательно соединенных традиционных D-триггеров. Каждому разряду регистра привязана схема управления записью (сх.упр.зап.) на двух элементах 2И-НЕ и энергонезависимый одноступенчатый триггер (энергонез.триг.). Поскольку режим программирования включается посредством повышения напряжения питания, то сигнал разрешения записи WE формируется компаратором напряжения. Данное решение опробовано экспериментально в идентификационном изделии 36KD компании ОАО «НИИМЭ» [7].

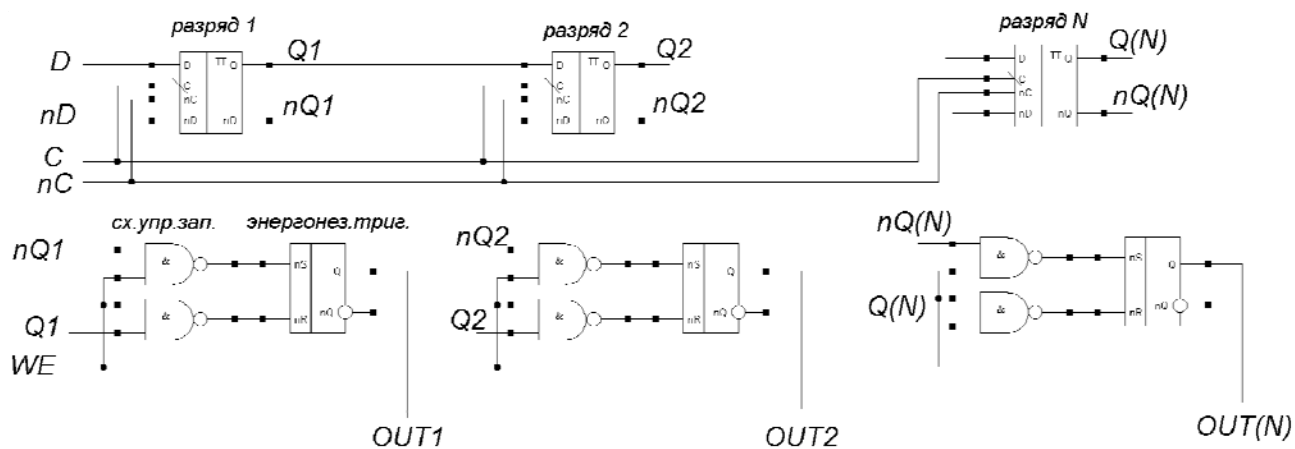


Рис. 6. – Организация встроенного ЭСППЗУ

Заключение

В работе представлены новые схемотехнические решения R-S- и D-триггеров с ЭСППЗУ, а также энергонезависимого сдвигового регистра данных. Энергонезависимый R-S-триггер эффективно использован в качестве ячейки памяти и одновременно схем записи и считывания для нее, что позволило значительно увеличить надежность считывания данных из

ЭСППЗУ за счет дифференциального считывания каждого бита данных. Представленные решения могут быть использованы при реализации встроенного ЭСППЗУ для идентификационных чипов [8], а также для подстройки параметров прецизионных схем, таких как аналого-цифровые преобразователи [9] или источники опорного напряжения [10].

Литература:

1. Браммер Ю.А. Цифровые устройства [Текст]: Учеб. пособие для вузов / Ю.А. Браммер, И.Н. Пащук. – М.: Высш. шк., 2004. – 229 с.
2. Nonvolatile latch circuit [Text] : Pat. 8,681,535 US : IPC G 11 C 11/41 / Shukh A.M., Agan Tom A. ; Applicants Shukh A.M., Agan Tom A. — 13/475,332; Pub. No. 2012/0307549, Pub. Date 06.12.12; Date of patent 25.03.14.
3. Non-volatile memory device including bistable circuit with pre-load and set phases and related system and method [Text] : Pat. 7,697,319 US : IPC G 11 C 11/00 / Dedieu L., Lefebvre S. ; Applicants STMicroelectronics, SA, Montrouge (FR) — 11/706,865; Pub. No. 2007/0211520, Pub. Date 13.09.07; Date of patent 13.04.2010.
4. Информационный триггер с энергонезависимо сохраняемой электрически перепрограммируемой установкой начальных состояний [Текст] : пат. 136658 Рос. Федерация : МПК G 11 C 14/00 / Ермаков И.В., Игнатьев С.М., Шелепин Н.А. ; заявитель и патентообладатель Науч.-ислед. ин-т молекулярной электроники. — № 2013136207 ; заявл. 02.08.13 ; опубл. 10.01.14.
5. Красников Г.Я. Конструктивно-технологические особенности субмикронных МОП-транзисторов, изд. 2-е, испр. [Текст]: Монография / Г. Я. Красников. – М.: Техносфера, 2011. – 800 с.
6. Cmos flip-flop having nov-volatile storage [Text] : Pat. 5,912,937 US : IPC G 11 C 19/00 / Goetting F.E., Frake S.O. ; Applicants Xilinx, Inc. San Jose, Calif — 08/816,100; Date of patent 15.06.99.

7. Интегральная микросхема 36KD – контактное идентификационное устройство с электрически перепрограммируемым 36-разрядным кодом [Текст]: свид. 2014630076 Рос. Федерация / Ермаков И.В., Игнатьев С.М. ; заявитель и правообладатель Науч.-ислед. ин-т молекулярной электроники. — № 2014630019 ; заявл. 09.04.14 ; опубл. 02.06.14.

8. Ермаков И.В. Реализация ЭСППЗУ с одним поликремнием в контактной метке с однопроводным интерфейсом, выполненной по КМОП технологии СБИС уровня 0,18 мкм [Текст] // Сборник научных трудов SWorld. Материалы международной научно-практической конференции «Научные исследования и их практическое применение. Современное состояние и пути развития 2012». – Выпуск 3. Том 11. – Одесса: КУПРИЕНКО, 2012. ЦИТ: 312-538. – С.60-68.

9. В.К. Игнатьев, А.В. Никитин, С.В. Перченко, Д.А. Станкевич, Динамическая компенсация дополнительной погрешности прецизионного АЦП [Электронный ресурс] // «Инженерный вестник Дона», 2012 г, №2. - Режим доступа: <http://www.ivdon.ru/magazine/archive/n2y2012/771> (доступ свободный) – Загл. с экрана. – Яз. рус.

10.Е.Н. Бормонтов, Е.В. Сухотерин, Д.В. Колесников, Е.В. Невежин, Чувствительность КМОП-источника опорного напряжения к вариациям параметров элементов [Электронный ресурс] // «Инженерный вестник Дона», 2014 г, №1. - Режим доступа: <http://www.ivdon.ru/ru/magazine/archive/n1y2014/2275> (доступ свободный) – Загл. с экрана. – Яз. рус.